

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199925

(43)Date of publication of application : 31.07.1998

(51)Int.CI.

H01L 21/60

H01L 21/3205

(21)Application number : 09-000305

(71)Applicant : SONY CORP

(22)Date of filing : 06.01.1997

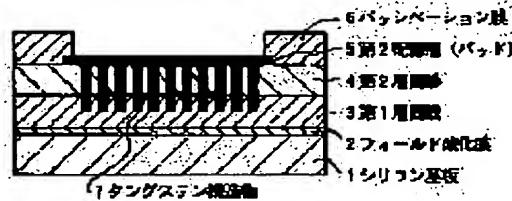
(72)Inventor : TAKIZAWA MASAAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid generation of cracks in a lower insulation layer of bonding pads due to mechanical pressures to the bonding pads and ultrasonic shock by embedding a hard structure in the insulation layer.

SOLUTION: On an Si substrate 1 a field oxide film 2 is formed, a first interlayer film 3 is formed thereon with a second interlayer film 4 formed thereon. A high-hardness structure 7 made of W is embedded in an insulation layer composed of the first and the second interlayer films 3, 4, and its top is mechanically coupled with a second wiring layer (pad) 5. The W structure 7 has a structure with plates of fixed length and fixed width paralleled at fixed spacings. Bonding pads 5 are formed by forming a lead wire layer on the film 4 and patterned, together with the wiring layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by coming to lay the structure of a high degree of hardness underground into the above-mentioned insulating layer in the semiconductor device with which it comes to form a bonding pad on the insulating layer on a semi-conductor substrate.

[Claim 2] It is the semiconductor device characterized by the ingredient of the above-mentioned structure being a tungsten in a semiconductor device according to claim 1.

[Claim 3] It is the semiconductor device characterized by coming to connect the above-mentioned structure with the above-mentioned bonding pad mechanically in a semiconductor device according to claim 1.

[Claim 4] It is the semiconductor device characterized by the above-mentioned structure being a part of wiring layer prepared between the above 1st and the 2nd insulating layer while the above-mentioned insulating layer consists of the 1st insulating layer and the 2nd insulating layer on it in a semiconductor device according to claim 2.

[Claim 5] The manufacture approach of the semiconductor device characterized by having the process which forms an insulating layer on a semi-conductor substrate, the process which lays the structure of a high degree of hardness underground in this insulating layer, and the process which forms a bonding pad on the above-mentioned insulating layer.

[Claim 6] It is the manufacture approach of the semiconductor device characterized by the ingredient of the above-mentioned structure being a tungsten in the manufacture approach of a semiconductor device according to claim 5.

[Claim 7] It is the manufacture approach of the semiconductor device characterized by laying underground in the above-mentioned insulating layer so that the above-mentioned structure may be mechanically connected with the above-mentioned bonding pad in the manufacture approach of a semiconductor device according to claim 5.

[Claim 8] In the manufacture approach of a semiconductor device according to claim 6, the process which forms the above-mentioned insulating layer The process which consists of a process which forms the 1st insulating layer on the above-mentioned semi-conductor substrate, and a process which forms the 2nd insulating layer on it, and lays the above-mentioned structure underground in the above-mentioned insulating layer The manufacture approach of the semiconductor device characterized by consisting of a process which forms the 1st part of the above-mentioned structure in the insulating layer of the above 1st, and a process which forms the 2nd part of the above-mentioned structure in the insulating layer of the above 2nd so that it may connect with the 1st part and machine target of the above-mentioned structure.

[Claim 9] The process which the process which forms the above-mentioned insulating layer consists of a process which forms the 1st insulating layer on the above-mentioned semi-conductor substrate, and a process which forms the 2nd insulating layer on it in the manufacture approach of a semiconductor device according to claim 6, and lays the above-mentioned structure underground in the above-mentioned insulating layer is the manufacture approach of the semiconductor device characterized by to be the process which forms the above-mentioned structure as a part of wiring layer on the insulating layer of the above 1st.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the semiconductor device which has a pad (bonding pad).

[0002]

[Description of the Prior Art] With reference to drawing 8, the conventional multilayer-interconnection semiconductor device (here two-layer wiring semiconductor device) is explained. Field oxide 2 is formed on the silicon substrate (semi-conductor substrate) 1.

[0003] The 1st interlayer film 3 is formed on field oxide 2. This 1st interlayer film 3 is a layer for insulating between a silicon substrate 1 and the 1st wiring layer (not shown) formed on the 1st interlayer film 3, and is SiO₂ actually. The laminating of the film of a system and the film of a SiN system is carried out, and it is formed.

[0004] The 2nd interlayer film 4 is formed on the 1st interlayer film 3. This 2nd interlayer film 4 is for insulating between the 1st wiring layer and the 1st wiring layer 5 formed on the 2nd wiring layer 4 mentioned later. This 2nd interlayer film 4 carries out the laminating of the film of two or more kinds of SiO systems, and is formed.

[0005] The 2nd wiring layer is formed on the 2nd interlayer film 4. This 2nd wiring layer consists of a pad (bonding pad) 5 formed in an original wiring layer (not shown), and its part and one. This pad 5 forms a lead-wire layer on the 2nd interlayer film 4, and is formed by carrying out patterning of this with an original wiring layer. Although it continues on the 2nd wiring layer and the 2nd interlayer film 4 and the passivation film 6 is formed, opening is formed in the part corresponding to a pad 5 of etching.

[0006] Wirebonding of the gold streak is carried out to a pad (the 2nd wiring layer) 5 through the grinding of the rear face of a silicon substrate 1, dicing, die bonding, etc. after the above wafer process process.

[0007]

[Problem(s) to be Solved by the Invention] By the way, in case wirebonding of the gold streak is carried out to a pad 5, a mechanical pressure and the impact by the supersonic wave are added to a pad 5 for stabilization of the electrical installation to the pad 5 of a gold streak, and mechanical connections. And in order to strengthen the bond strength to the pad 5 of a gold streak, while making mechanical pressure high, it is necessary to enlarge power of a supersonic wave. If it does so, the impact over the interlayer films 3 and 4 of the pad 5 bottom will become large, and a crack will arise in interlayer films 3 and 4.

[0008] Moreover, the arrangement consistency of a pad 5 will also become high as the degree of integration of LSI becomes high. Since the force applied to a pad is not necessarily distributed to homogeneity at the bonding area, even if it makes a pad small, the mechanical force pressure applied to it is in the inclination which does not become small but becomes large rather. For this reason, the crack of the lower layer interlayer films 3 and 4 of a pad 5 becomes a problem. Moreover, TAB[Tape Automated Bonding which can make a pad consistency higher than wirebonding and which is carried out : In tape (automatic) bonding], the crack of the lower layer interlayer film of a pad becomes a much more big problem.

[0009] Then, thickening thickness of the barrier metal (TiN/Ti) film which constitutes the lower layer of the pads 5, and raising a mechanical strength is also considered. If it does in this way, since the local impact added at the time of the bonding of the gold streak to a pad 5 will be distributed by barrier metal, an above-mentioned problem is solved once. Incidentally, the upper layer of a pad 5 consists of AlCu film.

[0010] However, if a barrier metal layer is thickened, while etching of the metal layer for obtaining this barrier metal layer will become difficult, although [from which a crack arises in the interlayer films 3 and 4 of the pad 5 bottom] protected a thing, since the degree of hardness of an ingredient is not so high, there is a limitation naturally.

[0011] In view of this point, this invention tends to be set to the semiconductor device which has a bonding pad, and it is going to propose what does not have a possibility that a crack may arise in the lower layer insulating layer of a bonding pad by the impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad.

[0012]

[Means for Solving the Problem] In the semiconductor device with which it comes to form a bonding pad on the insulating layer on a semi-conductor substrate, as for this invention, it comes to lay the structure of a high degree of hardness underground into an insulating layer.

[0013] Since the impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad is distributed by the structure of a high degree of hardness according to this this invention, a possibility that a crack may arise in the lower layer insulating layer of a bonding pad is canceled.

[0014]

[Embodiment of the Invention] Below, with reference to drawing 1 – drawing 7, the same sign is attached and explained at the conventional example of drawing 8, and a corresponding part in ** which explains the multilayer-interconnection semiconductor device (here two-layer wiring semiconductor device) of the gestalt of operation of this invention to a detail, and these drawings.

[0015] First, the semiconductor device of the gestalt of operation of drawing 1 is explained. Field oxide (insulator layer) 2 is formed on the silicon substrate (semi-conductor substrate) 1.

[0016] The 1st interlayer film (insulator layer) 3 is formed on field oxide 2. This 1st interlayer film 3 is a layer for insulating between a silicon substrate 1 and the 1st wiring layer (not shown) formed on the 1st interlayer film 3, and is SiO₂ actually. The laminating of the film of a system and the film of a SiN system is carried out, and they are formed.

[0017] On the 1st interlayer film 3, the 2nd interlayer film (insulator layer) 4 is formed. This 2nd interlayer film 4 is for insulating between the 1st wiring layer and the 2nd wiring layer 5 formed on the 2nd wiring layer 4 mentioned later. This 2nd interlayer film 4 carries out the laminating of the film of two or more kinds of SiO systems, and is formed.

[0018] While 7 is ****(ed) in the insulating layer which is the tungsten structure as the structure of a high degree of hardness, and consists of the 1st and 2nd interlayer films 3 and 4, the upper part is mechanically connected with the pad (the 2nd wiring layer) 5 mentioned later. The cross section of this tungsten structure 7 is shown in drawing 4 A, and 5a shows a pad field. This tungsten structure 7 has the structure where the plate of fixed length and constant width was juxtaposed at two or more sheet fixed spacing.

[0019] Although the plate of fixed length and constant width was juxtaposed at two or more sheet fixed spacing as shown in the cross-section structure of drawing 4 B, the thing of the structure which 2 sets intersected [each-other] so that a rectangular cross might be carried out is also possible for this tungsten structure 7. Moreover, as shown in the cross-section structure of drawing 4 C, the thing of the structure where two or more barrels from which the cross section where die length of one side which consists of a plate of the constant width of a polygon, for example, eight square shapes, differs serves as an analog were allotted in the said alignment is also possible for this tungsten structure 7.

[0020] Again, it returns and explains to drawing 1. The 2nd wiring layer is formed on the 2nd interlayer film 4. This 2nd wiring layer consists of a pad (bonding pad) 5 formed in an original

wiring layer (not shown), and its part and one. This pad 5 forms a lead-wire layer on the 2nd interlayer film 4, and is formed by carrying out patterning of this with an original wiring layer. Although a pad 5 and the 2nd original wiring layer are covered and the passivation film 6 is formed, opening is formed in the part corresponding to a pad 5 of etching.

[0021] Next, the manufacture approach of the semiconductor device of the gestalt operation of this drawing 1 is explained with reference to drawing 5. It is LOCOS (Local Oxidation of Silicon: local oxidation of silicon) at 800-degreeC after oxidizing thermally about 10nm of top faces of a silicon substrate (semi-conductor substrate) (drawing 5 A) 1, for example, depositing 100nm of SiN(s) with a CVD method on it after that and carrying out pattern NINGU of the activation field. It carries out and field oxide 2 is formed (drawing 5 B).

[0022] Although the graphic display is omitted, after removing SiN on field oxide 2, the oxide film of 6nm thickness is grown up. The polish recon film of 10nm thickness is made to deposit with a CVD method on the oxide film, and the tungsten silicone film of 10nm thickness is made to deposit with a CVD method on the polish recon film. And the gate (a gate insulating layer and gate electrode on it) is formed by carrying out patterning of an oxide film, the polish recon film, and the tungsten silicone film. Next, the ion implantation of phosphorus and the boron is carried out to the part which should serve as a n channel field of a silicon substrate 1, and a p channel field, respectively.

[0023] On field oxide 2, it is SiO₂ by the CVD method. 500nm of film is deposited and the 1st interlayer film 3 is formed (drawing 5 A). Contact is formed in the 1st interlayer film 3 although not illustrated. that is, carry out etching clearance of a part of part corresponding to the gate electrode of MOS-FET of the 1st interlayer film 3, the source field of a silicon substrate 1, and a drain field, and put on a hole -- contact is formed in the part of this hole.

[0024] Then, it is PVD (PhysicalVapor Deposition: physical vapor deposition) on the contact. After depositing Ti/TiN by law, tungsten partial 7a is embedded with a CVD method (drawing 5 C). The pattern of this tungsten partial 7a has the structure where the plate of fixed length and constant width was juxtaposed at two or more sheet fixed spacing.

[0025] Next, it continues on the contact which the 1st interlayer film 3 top and the Ti/TiN layer deposited. For example, by forming the alloy bipolar membrane (it consisting of the TiN layer of 100nm thickness by which the laminating was carried out one by one, Ti layer of 20nm thickness, an AlCu layer of 500nm thickness, and a TiN layer of 20nm thickness) of aluminum system, and carrying out pattern NINGU of the alloy compound layer The wiring layer (the 1st wiring layer) connected, respectively is formed in a gate electrode, a source field, and a drain field. In addition, it does not appear with the sectional view showing the semiconductor device illustrating the part of this pad 5.

[0026] a 1st wiring layer and pad 3 top -- for example, PECVD -- law -- SiO₂ 500nm -- depositing -- further -- an ordinary pressure CVD method -- SiO₂ CMP (Chemical Mecanical Polishing: chemistry and physical polish) after depositing 2000nm of film By law, 110nm is ground, it removes, and the 2nd interlayer film 4 is formed (drawing 5 D).

[0027] Next, in the usual circuit part, it is a beer hall for contact formation to the 2nd interlayer film 4 (Via Hole). Although formed Here, to pad field 5a of the 2nd interlayer film 4, for example by etching The fixed length corresponding to tungsten partial 7a embedded at the 1st interlayer film 3, Keep fixed spacing and two or more slots (breakthrough) on the constant width (for example, 1 micrometer) are formed. Etchback is carried out, flattening is carried out and tungsten partial 7b is formed after depositing Ti/TiN on this Mizouchi in PVD until it embeds a tungsten with a CVD method on it and the tungsten on a flat part is lost (drawing 5 D). This tungsten partial 7b is mechanically connected with tungsten partial 7a, and the tungsten structure 7 is formed in these parts 7a and 7b.

[0028] the 2nd layer intermediate layer 4 and tungsten structure 7 top -- continuing -- for example, the alloy bipolar membrane (the TiN layer of 100nm thickness --) of aluminum system from Ti layer of 20nm thickness, the AlCu layer of 500nm thickness, and the TiN layer of 20nm thickness -- becoming, although it deposits in PVD, pattern NINGU of this is carried out and the 2nd wiring layer is formed This 2nd wiring layer turns into an original wiring layer (not shown) from the pad (bonding pad) 5 formed in that part (drawing 5 E). This pad 5 is the square of for

example, 70 micrometer around.

[0029] the 2nd interlayer film 5 and 2nd wiring layer (it contains pad 5) top -- continuing -- PECVD (plasma en HANSUDO CVD) -- by law, 500nm of SiN(s) is deposited and the passivation film 6 is formed. Opening is drilled in the part of the passivation film 6 corresponding to a pad 5 by etching (drawing 5 E).

[0030] Wirebonding of the gold streak will be carried out to a pad (the 2nd wiring layer) 5 through the grinding of the rear face of a silicon substrate 1, dicing, and die bonding after the above wafer process process.

[0031] Next, only ** explaining the semiconductor device of the gestalt of operation of drawing 2 and a different part from the configuration of the semiconductor device of drawing 1 are explained. The tungsten structure 7 in this case has the structure where two or more square columns of a fixed dimension were juxtaposed at fixed spacing. Other structures are the same as that of the semiconductor device of drawing 1.

[0032] Next, with reference to drawing 6 , only ** explaining the manufacture approach of the semiconductor device of this drawing 2 and a different process from the manufacture approach of drawing 5 are explained. The process of drawing 6 A and B is the same as the process of drawing 5 A and B respectively. Although the 1st interlayer film 3 is formed like the process of drawing 5 R>5C at the process of drawing 6 C, formation of tungsten partial 7a is not performed.

[0033] Although the 2nd interlayer film 4 is formed on the 1st interlayer film 3 like the process of drawing 5 D by drawing 6 D Then, cover the 2nd thru/or the 1st interlayer film 4 and 3 by etching at the insulating layer which consists of the 1st and 2nd interlayer films 3 and 4. For example, the cross section of 10 micrometer around forms a square hollow at intervals of 5 micrometers. Etchback is carried out, flattening is carried out and the tungsten structure 7 is formed after depositing Ti/TiN on each of that hollow in PVD until it embeds a tungsten with a CVD method on it and the tungsten on a flat part is lost (drawing 6 D). This tungsten structure 7 is mechanically connected with the pad 5. The process of others of drawing 6 D is the same as the process of drawing 5 .

[0034] Next, only ** explaining the semiconductor device of the gestalt of operation of drawing 3 and a different part from the semiconductor device of drawing 1 are explained. In this case, corresponding to a pad 5, the 1st wiring layer 8 which consists of tag stainless steel is formed between the 1st and 2nd interlayer films 3 and 4. Other structures are the same as that of the semiconductor device of drawing 1 .

[0035] Next, with reference to drawing 7 , only ** explaining the manufacture approach of the semiconductor device of this drawing 3 and a different process from the manufacture approach of drawing 5 are explained. The process of drawing 7 A and B is the same as the process of drawing 5 A and B respectively. Although the 1st interlayer film 3 is formed like the process of drawing 5 R>5C at the process of drawing 7 C, formation of tungsten partial 7a is not performed.

[0036] Corresponding to the part in which the pad 5 on the 1st interlayer film 3 should be formed, it consists of a tungsten, for example, the 1st square wiring layer (tungsten structure) 8 is formed (drawing 7 D). The 1st wiring layer of other parts also consists of tungstens. And like drawing 5 D, it continues on the 1st interlayer film 3 and the 1st wiring layer (tungsten) 8, and the 2nd interlayer film (insulator layer) 4 is formed (drawing 7 D).

[0037] the 2nd interlayer film 4 top -- drawing 5 E -- the same -- a pad 5 -- forming (drawing 7 E) -- the 2nd interlayer film 4 intervenes between a pad 5 and the 1st wiring layer (tungsten) 8, and it is not connected directly mechanically.

[0038] Instead of the above-mentioned tungsten structure 7 [however, the 1st wiring layer (tungsten) 8 is removed], the structure of high degrees of hardness, such as the ceramic structure, is also possible.

[0039]

[Effect of the Invention] Since it comes to lay the structure of a high degree of hardness underground into an insulating layer in the semiconductor device with which it comes to form a bonding pad on the insulating layer on a semi-conductor substrate according to the 1st this

invention The impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad is effectively spread with the structure of a high degree of hardness. By this The semiconductor device which does not have a possibility that a crack may arise in the lower layer insulating layer of a bonding pad can be obtained.

[0040] Since the ingredient of the structure is a tungsten, while the same effectiveness as the 1st this invention is acquired in the semiconductor device of the 1st this invention according to the 2nd this invention, the semiconductor device with which formation of the structure of a high degree of hardness becomes easy can be obtained.

[0041] According to the 3rd this invention, in the semiconductor device of the 1st this invention, since the structure is mechanically connected with the bonding pad, diffusion by the structure of the high degree of hardness of the impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad is performed more effectively, and the semiconductor device with which the effectiveness of the 1st this invention was reinforced further can be obtained.

[0042] Since the structure is a part of wiring layer prepared between the 1st and 2nd insulating layers while an insulating layer consists of the 1st insulating layer and the 2nd insulating layer on it in the semiconductor device of the 2nd this invention, while the same effectiveness as the 1st this invention is acquired according to the 4th this invention, the semiconductor device with which formation of the structure of a high degree of hardness becomes easy can be obtained.

[0043] Since it has the process which forms an insulating layer on a semi-conductor substrate, the process which lays the structure of a high degree of hardness underground in the insulating layer, and the process which forms a bonding pad on an insulating layer according to the 5th this invention The impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad is effectively spread with the structure of a high degree of hardness. By this The manufacture approach of a semiconductor device that the semiconductor device which does not have a possibility that a crack may arise in the lower layer insulating layer of a bonding pad can be manufactured easily can be acquired.

[0044] Since the ingredient of the structure is a tungsten, while the same effectiveness as the 5th this invention is acquired in the manufacture approach of the semiconductor device of the 5th this invention according to the 6th this invention, the manufacture approach of a semiconductor device that formation of the structure of a high degree of hardness becomes easy can be acquired.

[0045] Since according to the 7th this invention the structure was laid underground in the insulating layer in the manufacture approach of the semiconductor device of the 5th this invention so that it might connect with a bonding pad mechanically, the manufacture approach of a semiconductor device that the semiconductor device with which diffusion by the structure of the high degree of hardness of the impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad is performed more effectively can be obtained easily can be acquired.

[0046] According to the 8th this invention, in the manufacture approach of the semiconductor device of the 6th this invention, the process which forms an insulating layer The process which consists of a process which forms the 1st insulating layer on a semi-conductor substrate, and a process which forms the 2nd insulating layer on it, and lays the structure underground in an insulating layer Since it consists of a process which forms the 1st part of the structure in the 1st insulating layer, and a process which forms the 2nd part of the structure in the 2nd insulating layer so that it may connect with the 1st part and machine target of the structure the same effectiveness as the 6th this invention is acquired -- both The manufacture approach of the semiconductor device which can form easily the semiconductor device with which diffusion by the structure of the impact by the mechanical pressure and the supersonic wave to the bonding pad at the time of the bonding of the lead wire to a bonding pad is performed more effectively can be acquired.

[0047] According to the 9th this invention, in the manufacture approach of the semiconductor device of the 6th this invention, the process which forms an insulating layer The process which

consists of a process which forms the 1st insulating layer on a semi-conductor substrate, and a process which forms the 2nd insulating layer on it, and lays the structure underground in an insulating layer Since it is the process which forms the structure as a part of wiring layer on the 1st insulating layer, while the same effectiveness as the 6th this invention is acquired, the manufacture approach of a semiconductor device that formation of the structure of a high degree of hardness becomes easy can be acquired.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the structure of the semiconductor device of the gestalt of operation of this invention.

[Drawing 2] It is the sectional view showing the structure of the semiconductor device of the gestalt of other operations of this invention.

[Drawing 3] It is the sectional view of this invention showing the structure of the semiconductor device of the gestalt of other operations further.

[Drawing 4] A It is approximate line drawing showing the example of the pattern of the tungsten structure of the gestalt of operation of this invention.

B It is approximate line drawing showing other examples of the pattern of the tungsten structure of the gestalt of operation of this invention.

C It is approximate line drawing showing the example of further others of the pattern of the tungsten structure of the gestalt of operation of this invention.

[Drawing 5] It is the semiconductor device manufacture approach of the gestalt operation of this invention, and is process drawing showing the manufacture approach of the semiconductor device of drawing 1.

[Drawing 6] It is the semiconductor device manufacture approach of the gestalt operation of this invention, and is process drawing showing the manufacture approach of the semiconductor device of drawing 2.

[Drawing 7] It is the semiconductor device manufacture approach of the gestalt operation of this invention, and is process drawing showing the manufacture approach of the semiconductor device of drawing 3.

[Drawing 8] It is the sectional view showing the structure of the semiconductor device of the conventional example.

[Description of Notations]

1 A silicon substrate, 2 field oxide, 3 The 1st interlayer film, 4 The 2nd interlayer film, 5 A pad (the 2nd wiring layer), 6 Passivation, 7 The tungsten structure, 7a Tungsten part, 7b A tungsten part, 8 The 1st wiring layer which consists of a tungsten.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-199925

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.⁶
H 01 L 21/60
21/3205識別記号
301F I
H 01 L 21/60
21/88301 P
T

審査請求 未請求 請求項の数9 OL (全 7 頁)

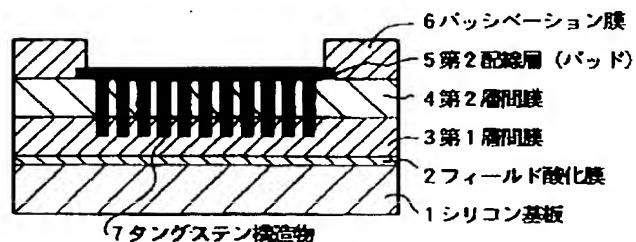
(21)出願番号 特願平9-305
(22)出願日 平成9年(1997)1月6日(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 滝沢 正明
東京都品川区北品川6丁目7番35号 ソニ
一株式会 社内
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ボンディングパッドを有する半導体装置において、ボンディングパッドへの導線のボンディングにおけるパッドへの機械的圧力及び超音波による衝撃によって、ボンディングパッドの下層の絶縁層にクラックが生じるおそれのないものを得る。

【解決手段】 半導体基板1上の絶縁層3、4上にボンディングパッド5が形成されてなる半導体装置において、絶縁層3、4中に高硬度の構造物7が埋設されてなるものである。



実施の形態

【特許請求の範囲】

【請求項1】 半導体基板上の絶縁層上にボンディングパッドが形成されてなる半導体装置において、上記絶縁層中に高硬度の構造物が埋設されてなることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、上記構造物の材料はタンゲステンであることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、上記構造物は、上記ボンディングパッドに機械的に連結されてなることを特徴とする半導体装置。

【請求項4】 請求項2に記載の半導体装置において、上記絶縁層は、第1の絶縁層及びその上の第2の絶縁層から構成されると共に、上記構造物は、上記第1及び第2の絶縁層間に設けられた配線層の一部であることを特徴とする半導体装置。

【請求項5】 半導体基板上に絶縁層を形成する工程と、該絶縁層内に高硬度の構造物を埋設する工程と、上記絶縁層上にボンディングパッドを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、上記構造物の材料はタンゲステンであることを特徴とする半導体装置の製造方法。

【請求項7】 請求項5に記載の半導体装置の製造方法において、上記構造物は、上記ボンディングパッドに機械的に連結されるように、上記絶縁層内に埋設することを特徴とする半導体装置の製造方法。

【請求項8】 請求項6に記載の半導体装置の製造方法において、上記絶縁層を形成する工程は、上記半導体基板上に第1の絶縁層を形成する工程と、その上に第2の絶縁層を形成する工程とからなり、

上記構造物を上記絶縁層内に埋設する工程は、上記第1の絶縁層内に上記構造物の第1の部分を形成する工程と、上記構造物の第1の部分と機械的に連結されるように、上記第2の絶縁層内に、上記構造物の第2の部分を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項9】 請求項6に記載の半導体装置の製造方法において、上記絶縁層を形成する工程は、上記半導体基板上に第1の絶縁層を形成する工程と、その上に第2の絶縁層を形成する工程とからなり、

上記構造物を上記絶縁層内に埋設する工程は、上記第1の絶縁層上に上記構造物を配線層の一部として形成する工程であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパッド（ボンディングパッド）を有する半導体装置に関する。

【0002】

【従来の技術】図8を参照して、従来の多層配線半導体装置（ここでは、2層配線半導体装置）を説明する。シリコン基板（半導体基板）1上にフィールド酸化膜2が形成されている。

【0003】フィールド酸化膜2上に第1層間膜3が形成されている。この第1層間膜3は、シリコン基板1と、第1層間膜3上に形成された第1配線層（図示せず）との間を絶縁するための層で、実際には、SiO₂系の膜及びSiN系の膜を積層して形成されている。

【0004】第1層間膜3上に、第2層間膜4が形成されている。この第2層間膜4は第1配線層と、後述する第2配線層4上に形成される第1配線層5との間を絶縁するためのものである。この第2層間膜4は、複数種類のSiO系の膜を積層して形成されている。

【0005】第2層間膜4上に第2配線層が形成されている。この第2配線層は、本来の配線層（図示せず）と、その一部と一体に形成されたパッド（ボンディングパッド）5からなる。このパッド5は、第2層間膜4上に導線層を形成し、これを本来の配線層と共にパターニングすることによって形成される。第2配線層上及び第2層間膜4上に亘ってパッシベーション膜6が形成されるが、パッド5に対応する部分には、エッチングによつて開口が形成されている。

【0006】以上のウェハプロセス工程の後、シリコン基板1の裏面の研削、ダイシング、ダイボンディング等を経て、パッド（第2配線層）5に、金線がワイヤボンディングされる。

【0007】

【発明が解決しようとする課題】ところで、金線をパッド5にワイヤボンディングする際、金線のパッド5に対する電気的接続及び機械的接続の安定化のために、パッド5に機械的な圧力と、超音波による衝撃とが加えられる。そして、金線のパッド5に対する接着強度を強化するためには、機械的圧力を高くすると共に、超音波のパワーを大きくする必要がある。そうすると、パッド5の下側の層間膜3、4に対する衝撃が大きくなつて、層間膜3、4にクラックが生じてしまう。

【0008】又、LSIの集積度が高くなるに従つて、パッド5の配置密度も高くなつてしまつ。パッドに加えられる力は、そのボンディング部に均一に分散する訳ではないので、パッドを小さくしても、それに加えられる機械的力な圧力は小さくならず、寧ろ大きくなる傾向にある。このため、パッド5の下層の層間膜3、4のクラックが問題になる。又、ワイヤボンディングよりパッド密度を高くできるされているTAB（Tape Automated Bonding：テープ（自動）ボンディング）では、パッドの

下層の層間膜のクラックが一層大きな問題になる。

【0009】そこで、パッド5のうちの、下層を構成するバリアメタル(TiN/Ti)膜の膜厚を厚くして機械的強度を高めることも考えられる。このようにすれば、パッド5に対する金線のボンディング時に加えられる局所的衝撃がバリアメタルによって分散されるので、上述の問題は一応解決される。因みに、パッド5の上層は、AlCu膜で構成されている。

【0010】しかしながら、バリアメタル層を厚くすると、このバリアメタル層を得るためにメタル層のエッチングが困難になると共に、パッド5の下側の層間膜3、4にクラックが生じるの防ぐのには、材料の硬度があまり高くないので、自ずから限界がある。

【0011】かかる点に鑑み、本発明は、ボンディングパッドを有する半導体装置において、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃によって、ボンディングパッドの下層の絶縁層にクラックが生じるおそれのないものを提案しようとするものである。

【0012】

【課題を解決するための手段】本発明は、半導体基板上の絶縁層上にボンディングパッドが形成されてなる半導体装置において、絶縁層中に高硬度の構造物が埋設されてなるものである。

【0013】かかる本発明によれば、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃は、高硬度の構造物によって分散されるため、ボンディングパッドの下層の絶縁層にクラックが生じるおそれは解消される。

【0014】

【発明の実施の形態】以下に、図1～図7を参照して、本発明の実施の形態の多層配線半導体装置（ここでは、2層配線半導体装置）を詳細に説明するも、これら図において、図8の従来例と対応する部分には、同一符号を付して説明する。

【0015】先ず、図1の実施の形態の半導体装置を説明する。シリコン基板（半導体基板）1上にフィールド酸化膜（絶縁膜）2が形成されている。

【0016】フィールド酸化膜2上に第1層間膜（絶縁膜）3が形成されている。この第1層間膜3は、シリコン基板1と、第1層間膜3上に形成される第1配線層（図示せず）との間を絶縁するための層で、実際には、SiO₂系の膜及びSiN系の膜を積層して形成する。

【0017】第1層間膜3上に、第2層間膜（絶縁膜）4が形成されている。この第2層間膜4は第1配線層と、後述する第2配線層4上に形成される第2配線層5との間を絶縁するためのものである。この第2層間膜4は、複数種類のSiO系の膜を積層して形成される。

【0018】7は高硬度の構造物としてのタングステン構造物で、第1及び第2層間膜3、4からなる絶縁層内

に埋設されると共に、その上部は後述するパッド（第2配線層）5に機械的に連結されている。図4Aに、このタングステン構造物7の断面を示し、5aはパッド領域を示す。このタングステン構造物7は、一定長、一定幅の板が複数枚一定間隔で並置された構造を有している。

【0019】このタングステン構造物7は、図4Bの断面構造に示すように、一定長、一定幅の板が複数枚一定間隔で並置されたものの2組が互い直交するように交叉した構造のものも可能である。又、このタングステン構造物7は、図4Cの断面構造に示すように、多角形、例えば、8角形の一定幅の板からなる一辺の長さの異なる断面が相似形となる複数の筒体が同心的に配された構造のものも可能である。

【0020】再び、図1に戻って説明する。第2層間膜4上に第2配線層が形成されている。この第2配線層は、本来の配線層（図示せず）と、その一部と一体に形成されるパッド（ボンディングパッド）5からなる。このパッド5は、第2層間膜4上に導線層を形成し、これを本来の配線層と共にパターニングすることによって形成される。パッド5及び本来の第2配線層に亘ってパッシベーション膜6が形成されるが、パッド5に対応する部分には、エッチングによって開口が形成されている。

【0021】次に、この図1の実施の形態の半導体装置の製造方法を、図5を参照して説明する。シリコン基板（半導体基板）（図5A）1の上面を、例えば、10nm程度熱酸化し、その後、その上にCVD法によって、SiNを100nm堆積し、活性化領域をパターニングした後、800°CでLOCOS（Local Oxidation of Silicon：シリコンの局部酸化）を行って、フィールド酸化膜2を形成する（図5B）。

【0022】図示は省略されているが、フィールド酸化膜2上のSiNを除去した後、例えば、6nm厚の酸化膜を成長させる。その酸化膜上に、例えば、CVD法によって10nm厚のポリシリコン膜を堆積させ、そのポリシリコン膜上に、CVD法によって10nm厚のタングステンシリコン膜を堆積させる。そして、酸化膜、ポリシリコン膜及びタングステンシリコン膜をパターニングすることによって、ゲート（ゲート絶縁層及びその上のゲート電極）を形成する。次に、シリコン基板1のnチャンネル領域及びpチャンネル領域となるべき部分に、それぞれ隣り合ったボロンをイオン注入する。

【0023】フィールド酸化膜2上に、例えば、CVD法によってSiO₂膜を500nm堆積して、第1層間膜3を形成する（図5A）。図示していないが、第1層間膜3にコンタクトを形成する。即ち、第1層間膜3のMOS-FETのゲート電極、シリコン基板1のソース領域、ドレイン領域に対応する部分の一部をエッティング除去して孔を穿け、この孔の部分にコンタクトを形成する。

【0024】その後、そのコンタクト上に、例えば、P

VD (Physical Vapor Deposition: 物理蒸着) 法によって、Ti/TiNを堆積した後、CVD法によって、タングステン部分7aを埋め込む(図5C)。このタングステン部分7aのパターンは、一定長、一定幅の板が複数枚一定間隔で並置された構造を有している。

【0025】次に、第1層間膜3上及びTi/TiN層の堆積されたコンタクト上に亘って、例えば、Al系の合金複合膜(順次積層された100nm厚のTiN層、20nm厚のTi層、500nm厚のAlCu層、20nm厚のTiN層からなる)を形成し、その合金複合層をパターンニングすることによって、ゲート電極、ソース領域及びドレイン領域にそれぞれ接続された配線層(第1配線層)を形成する。尚、このパッド5の部分を図示する半導体装置を示す断面図では現れてこない。

【0026】第1配線層及びパッド3上に、例えば、PECVD法でSiO₂を500nm堆積し、更に常圧CVD法によってSiO₂膜を2000nm堆積した後、CMP(Chemical Mechanical Polishing: 化学・物理的研磨)法で、110nm研磨して除去して、第2層間膜4を形成する(図5D)。

【0027】次に、通常の回路部分では、第2層間膜4にコンタクト形成用のビアホール(Via Hole)を形成するが、ここでは、例えば、第2層間膜4のパッド領域5aに、エッチングによって、第1層間膜3に埋め込まれたタングステン部分7aに対応する、一定長、一定幅(例えば、1μm)の複数本の溝(貫通孔)を一定間隔を置いて形成し、この溝内にTi/TiNをPVD法で堆積した後、その上にCVD法によってタングステンを埋め込み、平坦部上のタングステンがなくなるまでエッチバックして平坦化して、タングステン部分7bを形成する(図5D)。このタングステン部分7bは、タングステン部分7aと機械的に連結され、これら部分7a、7bにて、タングステン構造物7が形成される。

【0028】第2層間膜4上及びタングステン構造物7上に亘って、例えば、Al系の合金複合膜(100nm厚のTiN層、20nm厚のTi層、500nm厚のAlCu層及び20nm厚のTiN層からなる)をPVD法で堆積し、これをパターンニングして、第2配線層を形成するが、この第2配線層は本来の配線層(図示せず)と、その一部に形成されるパッド(ボンディングパッド)5からなる(図5E)。このパッド5は、例えば、70μm四方の正方形である。

【0029】第2層間膜5上及び第2配線層(パッド5含む)上に亘って、PECVD(プラズマエンハンスドCVD)法によって、SiNを500nm堆積して、パッシベーション膜6を形成する。パッド5に対応するパッシベーション膜6の部分には、エッチングにより開口を穿設する(図5E)。

【0030】以上のウェハプロセス工程の後、シリコン

基板1の裏面の研削、ダイシング、ダイボンディングを経て、パッド(第2配線層)5に、金線をワイヤボンディングすることになる。

【0031】次に、図2の実施の形態の半導体装置を説明するも、図1の半導体装置の構成とは異なる部分のみを説明する。この場合のタングステン構造物7は、一定寸法の正方形柱が一定間隔で複数個並置された構造を有している。その他の構造は、図1の半導体装置と同様である。

【0032】次に、図6を参照して、この図2の半導体装置の製造方法を説明するも、図5の製造方法とは異なる工程のみを説明する。図6A、Bの工程は、それぞれ図5A、Bの工程と同じである。図6Cの工程では、図5Cの工程と同様に第1層間膜3を形成するが、タングステン部分7aの形成は行わない。

【0033】図6Dで、図5Dの工程と同様に第1層間膜3上に第2層間膜4を形成するが、その後、第1及び第2層間膜3、4からなる絶縁層に、エッチングによって第2乃至第1層間膜4、3に亘る、例えば、10μm四方の断面が正方形の窪みを5μm間隔で形成し、その各窪みにTi/TiNをPVD法で堆積した後、その上にCVD法によってタングステンを埋め込み、平坦部上のタングステンがなくなるまでエッチバックして平坦化して、タングステン構造物7を形成する(図6D)。このタングステン構造物7は、パッド5と機械的に連結されている。図6Dのその他の工程は、図5の工程と同じである。

【0034】次に、図3の実施の形態の半導体装置を説明するも、図1の半導体装置とは異なる部分のみを説明する。この場合は第1及び第2層間膜3、4間に、パッド5に対応して、タングステンからなる第1配線層8を設ける。その他の構造は、図1の半導体装置と同様である。

【0035】次に、図7を参照して、この図3の半導体装置の製造方法を説明するも、図5の製造方法とは異なる工程のみを説明する。図7A、Bの工程は、それぞれ図5A、Bの工程と同じである。図7Cの工程では、図5Cの工程と同様に第1層間膜3を形成するが、タングステン部分7aの形成は行わない。

【0036】第1層間膜3上のパッド5の形成されるべき部分に対応して、タングステンからなる、例えば、正方形の第1配線層(タングステン構造物)8を形成する(図7D)。その他の部分の第1配線層もタングステンにて構成する。そして、図5Dと同様に、第1層間膜3及び第1配線層(タングステン)8上に亘って、第2層間膜(絶縁膜)4を形成する(図7D)。

【0037】第2層間膜4上に、図5Eと同様に、パッド5を形成する(図7E)が、パッド5と、第1配線層(タングステン)8との間には、第2層間膜4が介在しておき、機械的に直接には連結されてはいない。

【0038】上述のタングステン構造物7（但し第1配線層（タングステン）8は除く）の代わりに、セラミック構造物等の高硬度の構造物も可能である。

【0039】

【発明の効果】第1の本発明によれば、半導体基板上の絶縁層上にボンディングパッドが形成されてなる半導体装置において、絶縁層中に高硬度の構造物が埋設されてなるので、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃が高硬度の構造物によって効果的に拡散され、これによって、ボンディングパッドの下層の絶縁層にクラックが生じるおそれのない半導体装置を得ることができる。

【0040】第2の本発明によれば、第1の本発明の半導体装置において、構造物の材料はタングステンであるので、第1の本発明と同様な効果が得られると共に、高硬度の構造物の形成が容易となる半導体装置を得ることができる。

【0041】第3の本発明によれば、第1の本発明の半導体装置において、構造物は、ボンディングパッドに機械的に連結されているので、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃の高硬度の構造物による拡散がより効果的に行われ、第1の本発明の効果が一層増強された半導体装置を得ることができる。

【0042】第4の本発明によれば、第2の本発明の半導体装置において、絶縁層は、第1の絶縁層及びその上の第2の絶縁層から構成されると共に、構造物は、第1及び第2の絶縁層間に設けられた配線層の一部であるので、第1の本発明と同様の効果が得られると共に、高硬度の構造物の形成が容易になる半導体装置を得ることができる。

【0043】第5の本発明によれば、半導体基板上に絶縁層を形成する工程と、その絶縁層内に高硬度の構造物を埋設する工程と、絶縁層上にボンディングパッドを形成する工程とを有するので、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃が高硬度の構造物によって効果的に拡散され、これによって、ボンディングパッドの下層の絶縁層にクラックが生じるおそれのない半導体装置を容易に製造することのできる半導体装置の製造方法を得ることができる。

【0044】第6の本発明によれば、第5の本発明の半導体装置の製造方法において、構造物の材料はタングステンであるので、第5の本発明と同様の効果が得られると共に、高硬度の構造物の形成が容易になる半導体装置の製造方法を得ることができる。

【0045】第7の本発明によれば、第5の本発明の半導体装置の製造方法において、構造物は、ボンディングパッドに機械的に連結されるように、絶縁層内に埋設す

るようとしたので、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃の高硬度の構造物による拡散がより効果的に行われる半導体装置を容易に得ることのできる半導体装置の製造方法を得ることができる。

【0046】第8の本発明によれば、第6の本発明の半導体装置の製造方法において、絶縁層を形成する工程は、半導体基板上に第1の絶縁層を形成する工程と、その上に第2の絶縁層を形成する工程とからなり、構造物を絶縁層内に埋設する工程は、第1の絶縁層内に構造物の第1の部分を形成する工程と、構造物の第1の部分と機械的に連結されるように、第2の絶縁層内に、構造物の第2の部分を形成する工程とからなるので、第6の本発明と同様の効果が得られる共に、ボンディングパッドへの導線のボンディング時におけるボンディングパッドへの機械的圧力及び超音波による衝撃の構造物による拡散がより効果的に行われる半導体装置を容易に形成することのできる半導体装置の製造方法を得ることができる。

【0047】第9の本発明によれば、第6の本発明の半導体装置の製造方法において、絶縁層を形成する工程は、半導体基板上に第1の絶縁層を形成する工程と、その上に第2の絶縁層を形成する工程とからなり、構造物を絶縁層内に埋設する工程は、第1の絶縁層上に構造物を配線層の一部として形成する工程であるので、第6の本発明と同様の効果が得られると共に、高硬度の構造物の形成が容易になる半導体装置の製造方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の構造を示す断面図である。

【図2】本発明の他の実施の形態の半導体装置の構造を示す断面図である。

【図3】本発明の更に他の実施の形態の半導体装置の構造を示す断面図である。

【図4】A 本発明の実施の形態のタングステン構造物のパターンの例を示す略線図である。

B 本発明の実施の形態のタングステン構造物のパターンの他の例を示す略線図である。

C 本発明の実施の形態のタングステン構造物のパターンの更に他の例を示す略線図である。

【図5】本発明の実施の形態の半導体装置製造方法であって、図1の半導体装置の製造方法を示す工程図である。

【図6】本発明の実施の形態の半導体装置製造方法であって、図2の半導体装置の製造方法を示す工程図である。

【図7】本発明の実施の形態の半導体装置製造方法であって、図3の半導体装置の製造方法を示す工程図である。

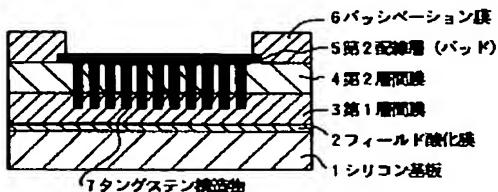
【図8】従来例の半導体装置の構造を示す断面図である。

【符号の説明】

1 シリコン基板、2 フィールド酸化膜、3 第1層間膜、

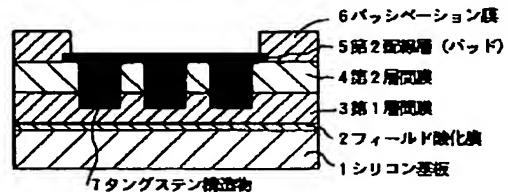
膜、4 第2層間膜、5 パッド（第2配線層）、6 パッシベーション膜、7 タングステン構造物、7a タングステン部分、7b タングステン部分、8 タングステンからなる第1配線層。

【図1】



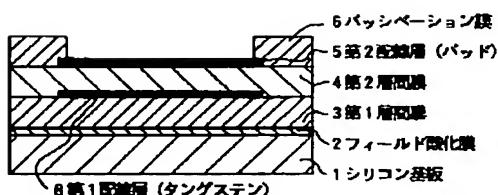
実施の形態

【図2】



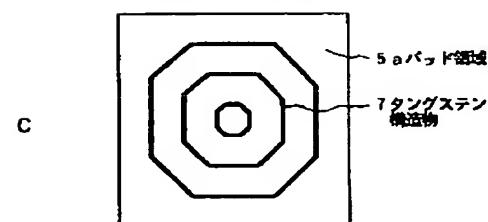
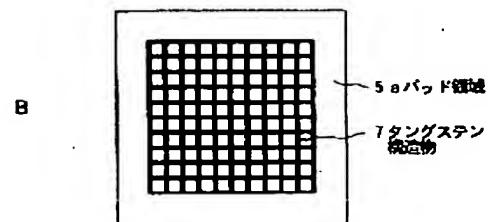
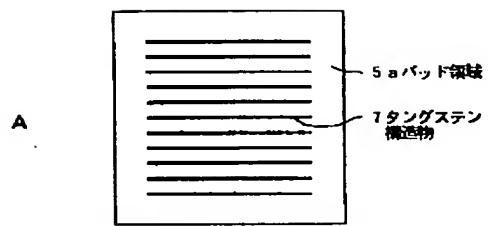
実施の形態

【図3】

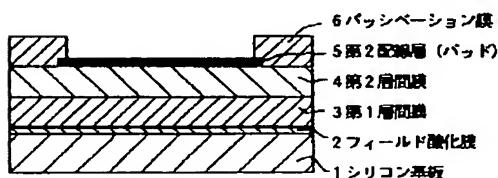


実施の形態

【図4】



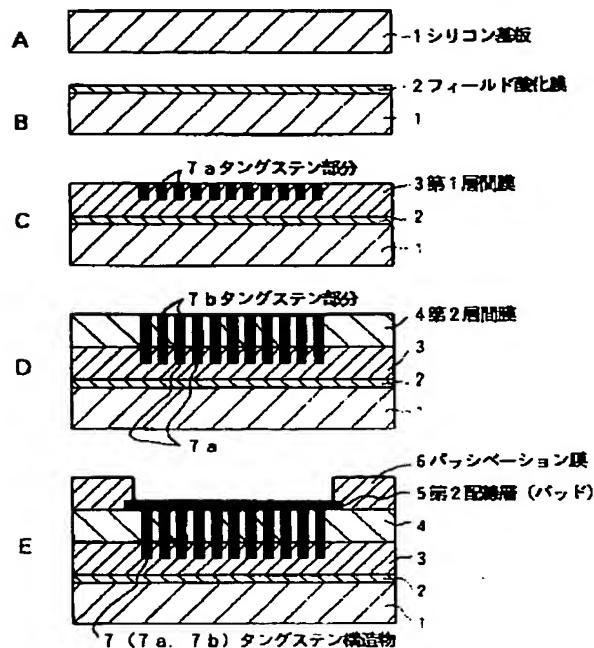
【図8】



従来例

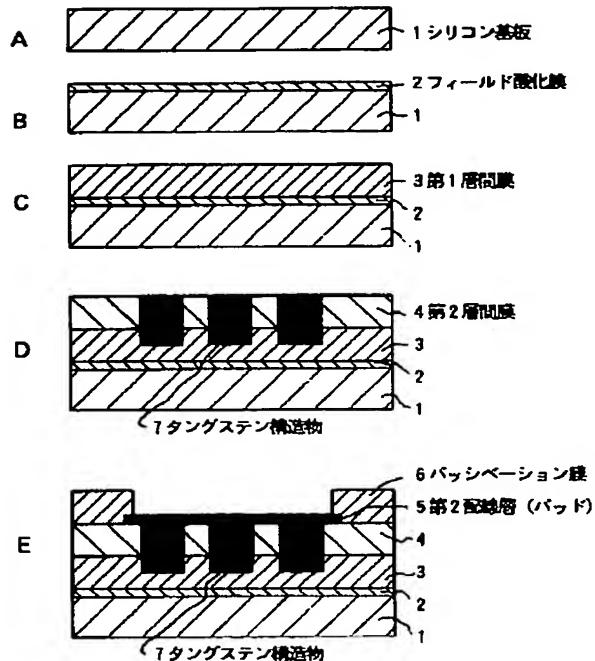
タングステン構造物のパターンの例

【図5】



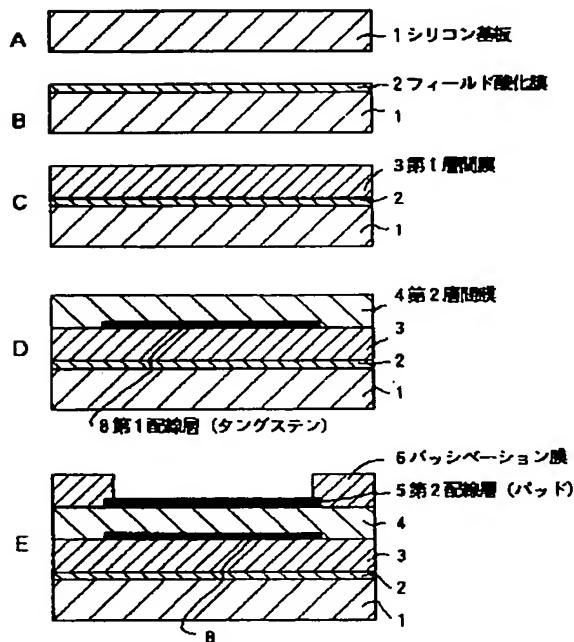
実施の形態の工程

【図6】



実施の形態の工程

【図7】



実施の形態の工程

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.